



(19)

(11) Publication number: Generated Document.

**62016289 A****PATENT ABSTRACTS OF JAPAN**(21) Application number: **60157413**(51) Int'l. Cl.: **G11C 7/00 G11C 8/00**(22) Application date: **16.07.85**

(30) Priority:

(43) Date of application publication: **24.01.87**

(84) Designated contracting states:

(71) Applicant: **NEC CORP**(72) Inventor: **MIBUCHI MAKOTO**

(74) Representative:

**(54) READ ONLY MEMORY**

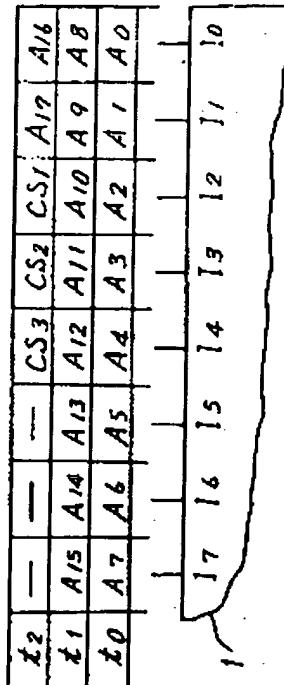
(57) Abstract:

PURPOSE: To unitedly input a chip selecting signal with an address signal and to decrease the number of terminals of ROM by sharing both terminals for selecting the address and the chip.

CONSTITUTION: At terminals 10WI7 of a case 1 of a ROM, address signals A17A16...A1A0 are impressed ranging to timings t0Wt2, and a part A17A16 of the address signal and chip selecting signals CS1WCS3 are impressed at the timing t2. Thus, the chip selecting signal can be unitedly inputted with the address signal, and the number of the terminals can be decreased by the sharing of the terminals.

COPYRIGHT:

(C)1987,JPO&amp;Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A)

昭62-16289

⑫ Int. Cl. 4

G 11 C 7/00  
8/00

識別記号

府内整理番号

⑬ 公開 昭和62年(1987)1月24日

6549-5B  
6549-5B

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 読出し専用メモリ

⑮ 特 願 昭60-157413

⑯ 出 願 昭60(1985)7月16日

⑰ 発明者 三 沢 誠 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原晋

## 明細書

## 1. 発明の名称

読み出し専用メモリ

## 2. 特許請求の範囲

チャップ選択モードとチャップ非選択モードとを有しアドレス多重化方式を用いる読み出し専用メモリにおいて、

アドレス信号入力端子をチャップ選択信号入力端子に共用することを特徴とする読み出し専用メモリ。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は読み出し専用メモリに関し、特にチャップ選択モードとチャップ非選択モードとを有しアドレス多重化方式を用いる読み出し専用メモリに関する。

## 〔従来の技術〕

読み出し専用メモリ(以下ROMといふ)において、アドレス信号入力端子の数を減らすためにア

ドレス多重化方式を用いることがある。また、最近は一つのCPUが複数のROMを使用することが多くなっているので、そのうちの一つをチャップ選択信号で選択できるように、チャップ選択モードとチャップ非選択モードをチャップ選択信号で切替えるようにしたROMがある。

従来のかかるROMはアドレス信号入力端子とチャップ選択信号入力端子とを別個にもっていた。(発明が解決しようとする問題点)

複数のROMを使用するCPUにとって、チャップ選択信号をROMのアドレス信号と一緒にして扱うことができれば、両信号のビット数の和のビット数をも一つのアドレス信号で複数のROMを一体にして使用できるが、従来のROMは両信号を別の端子から入力するので両信号入力端子の系統を同じにできず不便である。またアドレス多重化方式を用いて端子数を減少しようとするにもかかわらず、チャップ選択信号入力端子としての端子数はそのままである。

以上説明したように、チャップ選択モードとチャ

ブ非選択モードとを有しアドレス多直化方式を用いる従来のROMは、チャップ選択信号をアドレス信号と一緒にして扱うのに不便であるという欠点があり、また端子数がチャップ選択信号入力端子に関しては従来のままであるという欠点がある。

本発明の目的は、上記欠点を解決してチャップ選択信号をアドレス信号と一緒にして入力することができ、かつ端子数の少いROMを提供することにある。

〔問題点を解決するための手段〕

本発明の説出し専用メモリは、チャップ選択モードとチャップ非選択モードとを有しアドレス多直化方式を用いる説出し専用メモリにおいて、アドレス信号入力端子をチャップ選択信号入力端子に共用して構成される。

〔実施例〕

以下、図面を参照して本発明について詳細に説明する。

第1図は、本発明の一実施例の動作を説明するための説明図である。

ーんが一致すればこの実施例はチャップ選択モードとなり、一致しなければチャップ非選択モードとなる。

〔発明の効果〕

以上詳細に説明したように、本発明のROMはアドレス信号入力端子をチャップ選択信号入力端子に共用するという手段を用いるので、データバスからアドレス信号およびチャップ選択信号を入力する際チャップ選択信号をアドレス信号の一部として一体に扱うことができるという効果があり、またこれら信号を入力するデータバスをアドレス信号入力端子に直結できるので外付け部品が不要であるという効果があり、さらに端子数を減少できるので端子数の少い低廉なケースを使用することができるという効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例の動作を説明するための説明図である。

1……ケース、I<sub>0</sub>～I<sub>7</sub>……端子。  
代理人弁理士内原晋

この実施例は、256Kワード×8ビットの記憶容量をもつROMであり、アドレス信号およびチャップ選択信号を入力する8本の端子I<sub>0</sub>～I<sub>7</sub>をもっている。

$256 \times 1024 = 2^{18}$ だからアドレス信号は18ビットとなり、これを(A<sub>17</sub>, A<sub>16</sub>, ……, A<sub>1</sub>, A<sub>0</sub>)と表す。チャップ選択信号は一例として3ビットであるとし、これを(CS<sub>2</sub>, CS<sub>1</sub>, CS<sub>0</sub>)と表す。

アドレス信号(A<sub>17</sub>, A<sub>16</sub>, ……, A<sub>1</sub>, A<sub>0</sub>)を、8ビットのバス(図示していない)を介して端子I<sub>0</sub>～I<sub>7</sub>から、第1図に図示するようにタイミングt<sub>0</sub>・t<sub>1</sub>・t<sub>2</sub>の3回に分けて入力する。チャップ選択信号(CS<sub>2</sub>, CS<sub>1</sub>, CS<sub>0</sub>)は、アドレス信号(A<sub>17</sub>, A<sub>16</sub>, ……, A<sub>1</sub>, A<sub>0</sub>)の最上位桁のさらに上の桁に対応するものとして、タイミングt<sub>1</sub>に端子I<sub>3</sub>～I<sub>4</sub>から入力される。内蔵するチャップ選択信号パターンに、入力したチャップ選択信号(CS<sub>2</sub>, CS<sub>1</sub>, CS<sub>0</sub>)、すなわちタイミングt<sub>1</sub>に端子I<sub>3</sub>～I<sub>4</sub>から入力した信号のパタ

I <sub>2</sub>	—	—	—	CS <sub>3</sub>	CS <sub>2</sub>	CS <sub>1</sub>	A <sub>17</sub>	A <sub>16</sub>
I <sub>1</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>
I <sub>0</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>

1:ケース  
I<sub>0</sub>～I<sub>7</sub>:端子  
(A<sub>17</sub> A<sub>16</sub>…… A<sub>1</sub> A<sub>0</sub>):アドレス信号  
(CS<sub>3</sub>・CS<sub>2</sub>・CS<sub>1</sub>):チャップ選択信号  
t<sub>0</sub>～t<sub>2</sub>:タイミング

第1図